



(19)

(11) Publication number:

08335957 A

Generated Document.

PATENT ABSTRACTS OF JAPAN

(21) Application number: 07143454

(51) Intl. Cl.: H04L 27/22

(22) Application date: 09.06.95

(30) Priority:

(43) Date of application
publication: 17.12.96

(84) Designated
contracting states:

(71) Applicant: FUJITSU GENERAL LTD

(72) Inventor: MATSUOKA HIDEKI

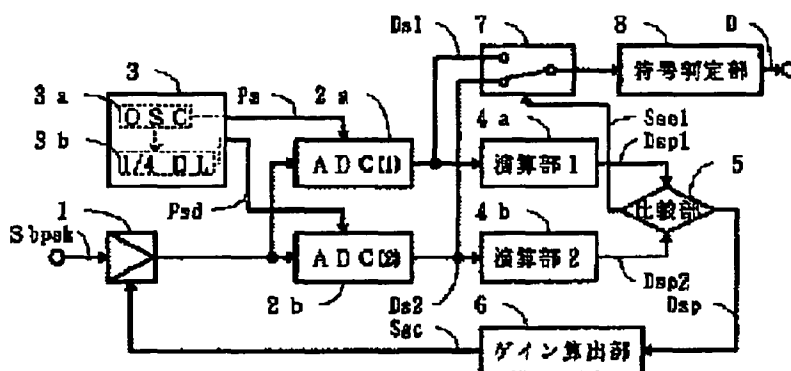
(74) Representative:

(54) AGC FOR BPSK DEMODULATION

(57) Abstract:

PURPOSE: To attain miniaturization by configuring the AGC for BPSK demodulation with a digital circuit so as to set an output to be a prescribed value thereby excluding an analog circuit and integrating the digital circuit integrally with other digital circuits for circuit integration.

CONSTITUTION: A/D converters 2a, 2b generate digital sampling data strings Ds1, Ds2 from a received BPSK signal based on a Ps and a Psd with a delay of 1/4 period from the Ps and give the data strings Ds1, Ds2 to arithmetic sections 4a, 4b, in which peak-to-peak values DsP1, DsP2 are calculated and the result is given to a comparator section 5. The comparator section 5 gives larger data to a selector 7 as a selection signal Ssel and to a gain calculation section 6, in which prescribed multiplication is conducted, the product is fed back to an amplification factor variable amplifier 1, where the level of sampling data is controlled automatically. Thus, peak levels of digital BPSK signals at positions with different phases by 1/4 period are compared and AGC is conducted based on a higher level, then the AGC is configured by a digital circuit.



COPYRIGHT: (C)1996,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-335957

(43) 公開日 平成8年(1996)12月17日

(51) Int.Cl.⁶

H 0 4 L 27/22

識別記号

庁内整理番号

F I

H 0 4 L 27/22

技術表示箇所

F

審査請求 未請求 請求項の数11 O L (全 6 頁)

(21) 出願番号

特願平7-143454

(22) 出願日

平成7年(1995)6月9日

(71) 出願人 000006811

株式会社富士通ゼネラル

神奈川県川崎市高津区末長1116番地

(72) 発明者 松岡 秀樹

川崎市高津区末長1116番地 株式会社富士

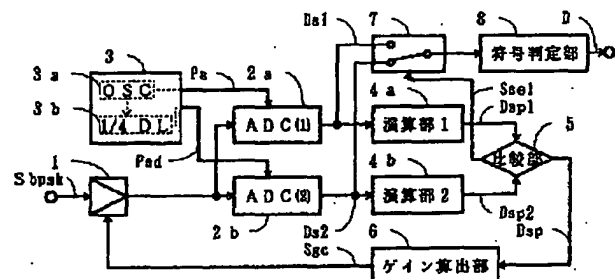
通ゼネラル内

(54) 【発明の名称】 BPSK復調用AGC

(57) 【要約】

【目的】 デジタル回路で構成し、他の回路と一体化して集積化でき、小型化に適したBPSK復調用AGCを提供することを目的としている。

【構成】 BPSK信号を入力し、その増幅率を変変して出力する増幅率可変増幅器1と、該出力するBPSK信号をデジタル信号に変換する2個のADC2と、前記各々のADCの互いに1/4周期位相の異なる2個のサンプリングクロックを発生するサンプリングクロック発生部3と、前記各々のADCよりの連続するサンプリングデータよりピークツーピーク値を算出する2個の演算部4と、前記2個の演算部よりの演算結果であるピークツーピーク値を比較して選択制御信号を出力するとともに大きい方のピークツーピーク値を出力する比較部5と、前記比較部よりのピークツーピーク値から前記増幅率可変増幅器を制御する増幅率を算出するゲイン算出部6とで構成した。



【特許請求の範囲】

【請求項 1】 BPSK（バイナリ・フェイズド・シフト・キーイング）信号を入力し、その増幅率を可変して出力する増幅率可変増幅器と、該増幅率可変増幅器よりの BPSK 信号をデジタル信号に変換する 2 個の ADC と、前記各々の ADC の互いに $1/4$ 周期位相の異なる 2 個のシンボルレート周波数のサンプリングクロックを発生するサンプリングクロック発生部と、前記各々の ADC よりの連続するサンプリングデータよりピークツーピーク値を算出する 2 個の演算部と、前記 2 個の演算部よりの演算結果であるピークツーピーク値を比較して選択制御信号を出力するとともに大きい方のピークツーピーク値を出力する比較部と、前記比較部よりのピークツーピーク値から前記増幅率可変増幅器を制御する増幅率を算出するゲイン算出部とで構成してなることを特徴とする BPSK 復調用 AGC。

【請求項 2】 入力する BPSK（バイナリ・フェイズド・シフト・キーイング）信号をデジタル信号に変換する 2 個のゲイン制御可能な ADC と、前記各々の ADC の互いに $1/4$ 周期位相の異なる 2 個のシンボルレート周波数のサンプリングクロックを発生するサンプリングクロック発生部と、前記各々の ADC よりの連続するサンプリングデータよりピークツーピーク値を算出する 2 個の演算部と、前記 2 個の演算部よりの演算結果であるピークツーピーク値を比較して選択制御信号を出力するとともに大きい方のピークツーピーク値を出力する比較部と、前記比較部よりのピークツーピーク値から前記ゲイン制御可能な ADC のゲインを算出するゲイン算出部とで構成してなることを特徴とする BPSK 復調用 AGC。

【請求項 3】 BPSK（バイナリ・フェイズド・シフト・キーイング）信号を入力し、その増幅率を可変して出力する増幅率可変増幅器と、該増幅率可変増幅器よりの BPSK 信号をデジタル信号に変換する 2 個の ADC と、前記各々の ADC の互いに $1/4$ 周期位相の異なる 2 個のシンボルレート周波数の 2 倍のサンプリングクロックを発生するサンプリングクロック発生部と、前記各々の ADC よりの連続するサンプリングデータよりピークツーピーク値を算出する 2 個の演算部と、前記 2 個の演算部よりの演算結果であるピークツーピーク値を比較して選択制御信号を出力するとともに大きい方のピークツーピーク値を出力する比較部と、前記比較部よりのピークツーピーク値から前記増幅率可変増幅器を制御する増幅率を算出するゲイン算出部とで構成してなることを特徴とする BPSK 復調用 AGC。

【請求項 4】 入力する BPSK（バイナリ・フェイズド・シフト・キーイング）信号をデジタル信号に変換する 2 個のゲイン制御可能な ADC と、前記各々の ADC の互いに $1/4$ 周期位相の異なる 2 個のシンボルレート周波数の 2 倍のサンプリングクロックを発生するサン

プリングクロック発生部と、前記各々の ADC よりの連続するサンプリングデータよりピークツーピーク値を算出する 2 個の演算部と、前記 2 個の演算部よりの演算結果であるピークツーピーク値を比較して選択制御信号を出力するとともに大きい方のピークツーピーク値を出力する比較部と、前記比較部よりのピークツーピーク値から前記ゲイン制御可能な ADC のゲインを算出するゲイン算出部とで構成してなることを特徴とする BPSK 復調用 AGC。

【請求項 5】 BPSK（バイナリ・フェイズド・シフト・キーイング）信号を入力し、その増幅率を可変して出力する増幅率可変増幅器と、該増幅率可変増幅器の BPSK 信号をデジタル信号に変換する ADC と、前記 ADC のシンボルレート周波数の 4 倍のサンプリングクロックを発生するサンプリングクロック発生部と、前記 ADC よりの連続するサンプリングデータより、1 個置ききのサンプリングデータを 1 個置ききに 2 個のデータ列に分離するデータ分離部と、前記各々の分離したデータ列のピークツーピーク値を算出する 2 個の演算部と、前記 2 個の演算部の演算結果であるピークツーピーク値を比較して選択制御信号を出力するとともに大きい方のピークツーピーク値を出力する比較部と、前記比較部よりのピークツーピーク値より前記増幅率可変増幅器を制御する増幅率を算出するゲイン算出部とで構成してなることを特徴とする BPSK 復調用 AGC。

【請求項 6】 入力する BPSK（バイナリ・フェイズド・シフト・キーイング）信号をデジタル信号に変換するゲイン制御可能な ADC と、前記 ADC のシンボルレート周波数の 4 倍のサンプリングクロックを発生するサンプリングクロック発生部と、前記 ADC よりの連続するサンプリングデータより、1 個置ききのサンプリングデータを 1 個置ききに 2 個のデータ列に分離するデータ分離部と、前記各々の分離したデータ列のピークツーピーク値を算出する 2 個の演算部と、前記 2 個の演算部の演算結果であるピークツーピーク値を比較して選択制御信号を出力するとともに大きい方のピークツーピーク値を出力する比較部と、前記比較部よりのピークツーピーク値より前記ゲイン制御可能な ADC のゲインを算出するゲイン算出部とで構成してなることを特徴とする BPSK 復調用 AGC。

【請求項 7】 BPSK（バイナリ・フェイズド・シフト・キーイング）信号を入力し、その増幅率を可変して出力する増幅率可変増幅器と、該増幅率可変増幅器の BPSK 信号をデジタル信号に変換する ADC と、前記 ADC のシンボルレート周波数の $(4/(4n+1))$ 倍のサンプリングクロックを発生するサンプリングクロック発生部と、前記 ADC よりの連続するサンプリングデータより、1 個置ききのサンプリングデータを 1 個置ききに 2 個のデータ列に分離するデータ分離部と、前記各々の分離したデータ列のピークツーピーク値を算出する 2 個

の演算部と、前記 2 個の演算部の演算結果であるピークツーピーク値を比較して選択制御信号を出力するとともに大きい方のピークツーピーク値を出力する比較部と、前記比較部よりのピークツーピーク値より前記増幅率可変増幅器を制御する増幅率を算出するゲイン算出部とで構成してなることを特徴とする BPSK 復調用 AGC。

【請求項 8】 入力する BPSK (バイナリ・フェイズド・シフト・キーイング) 信号をデジタル信号に変換するゲイン制御可能な ADC と、前記 ADC のシンボルレート周波数の $(4 / (4n + 1))$ 倍のサンプリングクロックを発生するサンプリングクロック発生部と、前記 ADC より連続するサンプリングデータより、1 個置ききのサンプリングデータを 1 個置きに 2 個のデータ列に分離するデータ分離部と、前記各々の分離したデータ列のピークツーピーク値を算出する 2 個の演算部と、前記 2 個の演算部の演算結果であるピークツーピーク値を比較して選択制御信号を出力するとともに大きい方のピークツーピーク値を出力する比較部と、前記比較部よりのピークツーピーク値より前記ゲイン制御可能な ADC のゲインを算出するゲイン算出部とで構成してなることを特徴とする BPSK 復調用 AGC。

【請求項 9】 前記演算部は、隣接するサンプリングデータの差の絶対値を算出してなることを特徴とする請求項 1、請求項 2、請求項 3、請求項 4、請求項 5、請求項 6、請求項 7 または請求項 8 記載の BPSK 復調用 AGC。

【請求項 10】 前記演算部は、隣接するサンプリングデータの差の絶対値の最大値を算出してなることを特徴とする請求項 1、請求項 2、請求項 3、請求項 4、請求項 5、請求項 6、請求項 7 または請求項 8 記載の BPSK 復調用 AGC。

【請求項 11】 前記ゲイン算出部は、前記 ADC の階調 (N_k) を前記比較部よりのピークツーピーク値 (D_{sp}) で除した値 (N_k / D_{sp}) に所定の数 (α) を掛けた値を出力してなることを特徴とする請求項 1、請求項 2、請求項 3、請求項 4、請求項 5、請求項 6、請求項 7 または請求項 8 記載の BPSK 復調用 AGC。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、BPSK 復調用 AGC に係わり、とくにデジタル回路で構成するものに関する。

【0002】

【従来の技術】 従来、BPSK (バイナリ・フェイズド・シフト・キーイング) 変調信号からデータを復調するためにレベルを一定に保つ AGC 回路は、図 5 に示すように、入力する BPSK 信号を増幅率可変増幅器 11 で増幅し、検波回路 12 でピーク検波してレベルを直流電圧に変換し、この直流電圧を直流増幅器 13 を介して前

記増幅率可変増幅器 11 にフィードバックして増幅率可変増幅器 11 の増幅率を制御し、出力が所定の一定値になるようにして復調部 14 に入力していた。しかし、BPSK を利用した装置全体がデジタル化される一方で、このようにアナログ回路を使用している部分があると、集積化する上で不利であり、小型化の障害となっていた。

【0003】

【発明が解決しようとする課題】 本発明は以上述べた問題点を解決し、デジタル回路で構成することにより、他のデジタル回路と一体化して集積回路を形成でき、小型化に適した BPSK 復調用 AGC を提供することを目的としている。

【0004】

【課題を解決するための手段】 本発明は上述の課題を解決するため、BPSK (バイナリ・フェイズド・シフト・キーイング) 信号を入力し、その増幅率を可変して出力する増幅率可変増幅器と、該増幅率可変増幅器よりの BPSK 信号をデジタル信号に変換する 2 個の ADC と、前記各々の ADC の互いに $1 / 4$ 周期位相の異なる 2 個のシンボルレート周波数のサンプリングクロックを発生するサンプリングクロック発生部と、前記各々の ADC より連続するサンプリングデータよりピークツーピーク値を算出する 2 個の演算部と、前記 2 個の演算部よりの演算結果であるピークツーピーク値を比較して選択制御信号を出力するとともに大きい方のピークツーピーク値を出力する比較部と、前記比較部よりのピークツーピーク値から前記増幅率可変増幅器を制御する増幅率を算出するゲイン算出部とで構成した。また、入力する BPSK (バイナリ・フェイズド・シフト・キーイング) 信号をデジタル信号に変換する 2 個のゲイン制御可能な ADC と、前記各々の ADC の互いに $1 / 4$ 周期位相の異なる 2 個のシンボルレート周波数のサンプリングクロックを発生するサンプリングクロック発生部と、前記各々の ADC より連続するサンプリングデータよりピークツーピーク値を算出する 2 個の演算部と、前記 2 個の演算部よりの演算結果であるピークツーピーク値を比較して選択制御信号を出力するとともに大きい方のピークツーピーク値を出力する比較部と、前記比較部よりのピークツーピーク値から前記ゲイン制御可能な ADC のゲインを算出するゲイン算出部とで構成した。また、BPSK (バイナリ・フェイズド・シフト・キーイング) 信号を入力し、その増幅率を可変して出力する増幅率可変増幅器と、該増幅率可変増幅器の BPSK 信号をデジタル信号に変換する ADC と、前記 ADC のシンボルレート周波数の 4 倍のサンプリングクロックを発生するサンプリングクロック発生部と、前記 ADC より連続するサンプリングデータより、1 個置ききのサンプリングデータを 1 個置きに 2 個のデータ列に分離するデータ分離部と、前記各々の分離したデータ列のピークツーピ

ーク値を算出する2個の演算部と、前記2個の演算部の演算結果であるピークツーピーク値を比較して選択制御信号を出力するとともに大きい方のピークツーピーク値を出力する比較部と、前記比較部よりのピークツーピーク値より前記増幅率可変増幅器を制御する増幅率を算出するゲイン算出部とで構成した。

【0005】

【作用】以上のように構成したので、本発明のBPSK復調用AGCにおいては、最短でもBPSK信号のシンボルレートの1/2周期で、互いに1/4周期位相の異なる2箇所のBPSK信号をサンプリングしてデジタル信号に変換し、各々のピークツーピークレベルを比較し、大きい方のピークツーピークレベルに基づいて、入力するBPSK信号の増幅率を算出して決定し、前記ピークツーピークレベルが所定の値になるように制御している。

【0006】

【実施例】以下、図面に基づいて本発明によるBPSK復調用AGCを詳細に説明する。図1は本発明によるBPSK復調用AGCの一実施例を示す要部ブロック図である。図において、1は増幅率可変増幅器で、後述のゲイン算出部6よりの増幅率制御信号(Sgc)により制御される増幅率により入力するBPSK信号(Sbpsk)を増幅している。2aは第1のADCで、前記増幅率可変増幅器1により増幅されたBPSK信号(Sbpsk)をデジタル信号(Ds1)に変換している。2bは第2のADCで、前記増幅率可変増幅器1により増幅されたBPSK信号(Sbpsk)をデジタル信号(Ds2)に変換している。3はサンプリングパルス発生部で、前記第1のADC2a、第2のADC2bのサンプリングパルスを発生しており、OSC部3aはBPSK信号のシンボルレート周波数のサンプリングパルス(Ps)を発生して前記第1のADC2aに入力し、遅延部3bは前記サンプリングパルス(Ps)を1/4周期遅延してサンプリングパルス(Psd)を第2のADC3bに入力している。

【0007】4aは第1の演算部で、前記第1のADC2aよりのサンプリングデータのピークツーピークレベル(Dsp1)を演算し、また、4bは第2の演算部で、第2のADC2bよりのサンプリングデータのピークツーピークレベル(Dsp2)を演算している。5は比較部で、前記第1の演算部よりのピークツーピークレベル(Dsp1)と第2の演算部よりのピークツーピークレベル(Dsp2)を比較して、大きい方のデータを出力する前記ADC2を選択する選択信号(Ssel)および、大きい方のピークレベル(Dsp)を出力している。6は前記ゲイン算出部で、前記比較部5より出力されるピークレベル(Dsp)から、増幅率(G)を算出して増幅率制御信号(Sgc)を出力している。7はデータセクターで、前記第1のADC2aおよび、第

2のADC2bよりのデジタル信号を入力し、前記比較部5よりの選択信号(Ssel)により制御して切り換えて出力している。8は符号判定部で、前記セクター7にて選択出力されるサンプリングデータ(Ds)より元のデータ(D)を復調している。

【0008】図2は本発明によるBPSK復調用AGCの別の実施例を示す要部ブロック図である。図において、図1と同じ機能のものは同じ記号を使用している。本実施例の場合、サンプリングパルス発生部3はシンボルレート周波数(fs)の4倍のサンプリングパルス(Ps)を発生するOSC3cと、このサンプリングパルス(Ps)を1/2分周してセレクト信号(Ss1)を出力する分周器3dとで構成している。9はデータ分割部で、前記分周器3dよりのセレクト信号によりADC2よりのサンプリングデータ(Ds)を1個置きに分割して分割データA(Ds1)および分割データB(Ds2)を出力している。尚、図1、図2のADC2を増幅率可変のADCとして増幅率可変増幅器1を削除し、ゲイン算出部よりの増幅率制御信号(Sgc)により、最大階調(例えば256)におけるサンプリングレベルの値を制御することにより増幅率を制御して入力するBPSK信号をデジタル信号(Dbpsk)に変換してもよい。

【0009】以上の構成において、つぎにその動作を説明する。図3は図1の実施例を説明するタイミング図で、入力するBPSK信号(Sbpsk)を第1のADC2aと、第2のADC2bにおいてサンプリングするタイミングと、第1のADC2aおよび、第2のADC2bにおけるサンプリングデータ(Ds1)、(Ds2)および、各々の演算結果(Dsp1)、(Dsp2)を示している。第1のADC2aではシンボルレート周波数のサンプリングパルス(Ps)によりサンプリングデータ列(Ds1=(0, 0, 0, 0))が得られ、第2のADC2bでは第1のサンプリングパルス(Ps)より1/4周期遅れたサンプリングパルス(Psd)によりサンプリングデータ列(Ds2=(64, -64, -64, 64))を得ている。この2つのサンプリングデータ列は図3に示すように、各々第1の演算部4aと第2の演算部4bとでそのピークツーピーク値(Dsp1)、(Dsp2)を演算して、第1の演算結果(Dsp1=0)、第2の演算結果(Dsp2=128)を出力し、比較部5に入力している。比較部5では前記第1の演算結果(Dsp1)と第2の演算結果(Dsp2)を比較して、大きい方のデータを出力するADC2を選択する選択信号(Ssel)を出力している。図3の場合、第2の演算結果(Dsp2=128)が大きいので第2のADC2bを選択する選択信号(Ssel)が出力される。また、比較部5からは同時に比較結果の大きい方の第2の演算結果(Dsp2=128)を出力してゲイン算出部6に入力している。

【0010】ゲイン演算部6では、例えば、ADC2の階調を $Nk=256$ とすれば、前記第2の演算結果($Dsp=128$)を256レベルまで増幅するするためのゲインは $(Nk/Dsp)=256/128=2$ (倍)として求められる。しかし、本例の場合のサンプリングパルスがサンプリングした結果、0または最大値をサンプリングデータとして得た結果であり、サンプリングパルスの位相が例えば1/8周期遅れた場合等では最悪約70%即ち $45+45=90$ 程度が演算結果となるため、同じレベルのBPSK信号が入力した場合であってもゲインが $256/90=2.8$ (倍)と大きくなってしまうため、このゲイン=2に所定値 $\alpha=0.7$ を乗算して、 $2*0.7=1.4$ 倍をゲイン算出データとし、アナログ信号に変換して出力している。このアナログゲイン信号は、前記増幅率可変増幅器1にフィードバックされ、増幅率を上げ、BPSK信号を増幅し、サンプリングデータのピークツーピークレベルが256ビットに近づくように自動制御している。

【0011】図4は図2の実施例を説明するタイミング図で、入力するBPSK信号をADC2においてサンプリングするタイミングとADC2におけるサンプリングデータを1個毎に分割して得た第1のサンプリングデータ列($Ds1=(0, 0, 0, 0, 0, 0, 0, 0)$)、第2のサンプリングデータ列($Ds2=(64, -64, -64, 64, -64, 64, -64, 64)$)とそのピークツーピーク演算した第1の演算結果($Dsp1=0$)および、第2の演算結果($Dsp2=128$)を示している。以下の動作は図1の場合と同一であり、説明を省く。

【0012】

【発明の効果】以上説明したように、本発明によるBPSK復調用AGCによれば、互いに1/4周期位相の異なる位置のBPSK信号をサンプリングしてデジタル信号に変換し、各々のピークツーピークレベルを比較し、大きい方のピークツーピークレベルに基づいて、入力す

るBPSK信号の増幅率を算出してフィードバックし、前記ピークツーピークレベルが所定の値になるように制御しているので、BPSK信号レベルの約70%以上の値が所定のピークツーピーク値に制御できるデジタル回路で構成することができ、他のデジタル回路と一体化した集積回路を形成することができ、小型化に適したBPSK復調用AGCを提供することができる。

【図面の簡単な説明】

【図1】本発明によるBPSK復調用AGCの一実施例を示す要部ブロック図である。

【図2】本発明によるBPSK復調用AGCの別の実施例を示す要部ブロック図である。

【図3】本発明によるBPSK復調用AGCの一実施例を説明するタイミング図である。

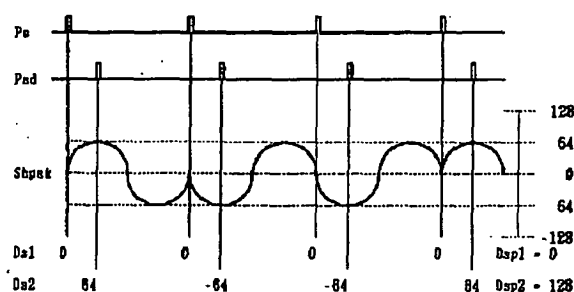
【図4】本発明によるBPSK復調用AGCの別の実施例を説明するタイミング図である。

【図5】従来のBPSK復調用AGCを示す要部ブロック図である。

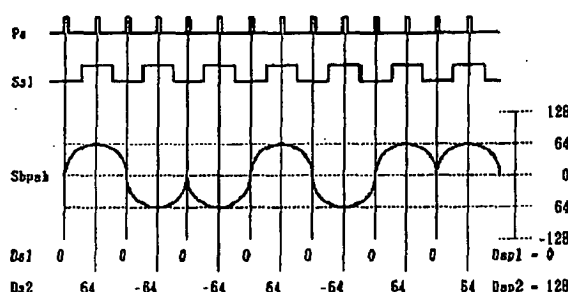
【符号の説明】

- 1 増幅率可変増幅器
- 2 ADC
- 2 a 第1のADC
- 2 b 第2のADC
- 3 サンプリングパルス発生部
- 3 a OSC
- 3 b 1/4周期遅延部
- 3 c OSC
- 4 a 第1の演算部
- 4 b 第2の演算部
- 5 比較部
- 6 ゲイン算出部
- 7 データセクタ
- 8 符号判定部
- 9 データ分割部

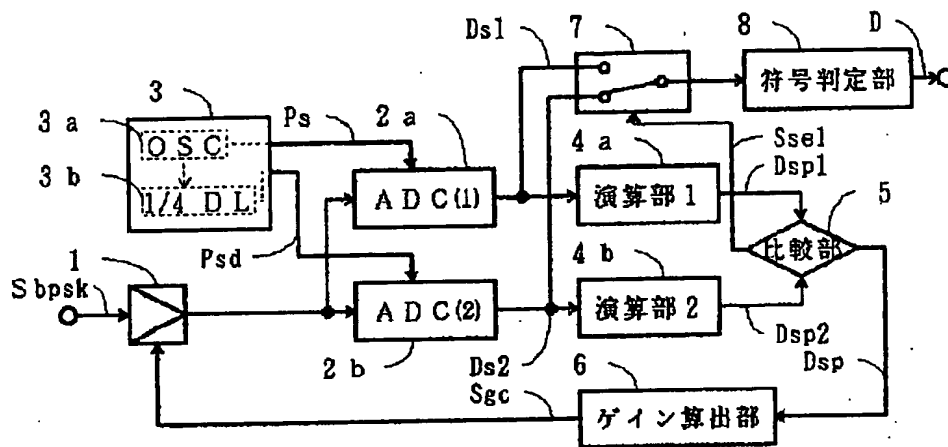
【図3】



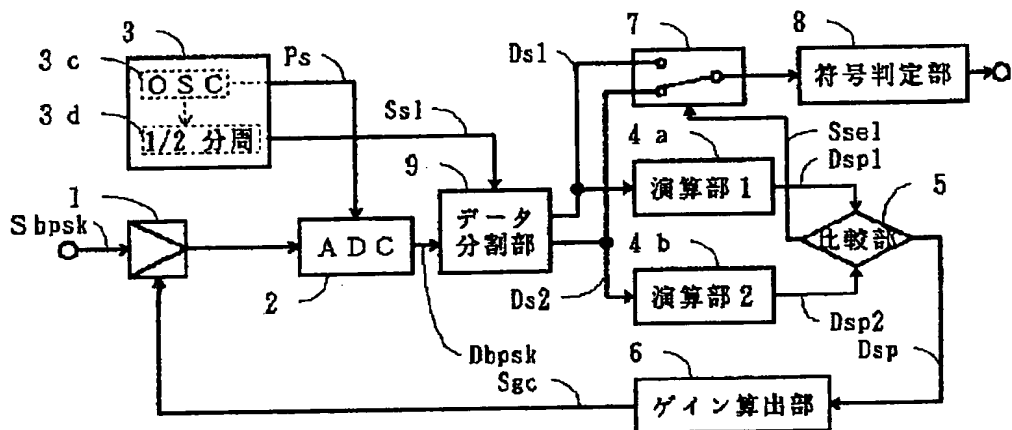
【図4】



【図 1】



【図 2】



【図 5】

